

Figure 1

bit-0	ID/CP	CP1	CP2	CP3	CP4	CP5	CP6	CP7	CP8
bit-1	I/Q`A	IA[3]	 				 		
			IA[7]	IA[11]	IA[15]	QA[3]	QA[7]	QA[11]	QA[15]
bit-2	I/Q A	IA[2]	IA[6]	IA[10]	IA[14]	QA[2]	QA[6]	QA[10]	QA[14]
bit-3	1/Q A	IA[1]	IA[5]	IA[9]	IA[13]	QA[1]	QA[5]	QA[9]	QA[13]
bit-4	I/Q A	IA[0]	IA[4]	IA[8]	IA[12]	QA[0]	QA[4]	QA[8]	QA[12]
bit-5	I/Q B	IB[3]	IB[7]	IB[11]	IB[15]	QB[3]	QB[7]	QB[11]	QB[15]
bit-6	1/Q B	IB[2]	IB[6]	IB[10]	IB[14]	QB[2]	QB[6]	QB[10]	QB[14]
bit-7	I/Q B	IB[1]	IB[5]	IB[9]	IB[13]	QB[1]	QB[5]	QB[9]	QB[13]
bit-8	I/Q B	IB[0]	IB[4]	IB[8]	IB[12]	OB[0]	QB[4]	QB[8]	QB[12]
bit-9	STB	1	0/1	0	0	0	0	0	0
bit-10	FFE	0	0	0	0	0	0	0	0
bit-11	FFE	0	0	0	0	0	0	0	0
bit-12	FFE	0	0	0	0	0	0	0	0
bit-13	FFE	0	0	0	0	0	0	0	0
bit-14	Control	SD_RX	RR_R X	FFE	XP1	XP2	FFE	FFE	FFE
bit-15	FS/BFN	FS-	pattern	and	BFN	12	bits		

Figure 2

bit-0	11/Q1 A	11	Q1	11	Q1	11	Q1	11	Q1
bit-1	12/Q2 A	12	Q2	12	Q2	12	Q2	12	Q2
bit-2	13/Q3 A	13	Q3	13	Q3	13	Q3	13	Q3
bit-3	14/Q4 A	14	Q4	14	Q4	14	Q4	14	Q4
bit-4	15/Q5 A	15	Q5	15	Q5	15	Q5	15	Q5
bit-5	FFE	0	0	0	0	0	0	0	0
bit-6	AGC_A /ID_A	0	6	bit	AGC	and	6	bit	ID
bit-7	11/Q1 B	11	Q1	11	Q1	11	Q1	11	Q1
bit-8	12/Q2 B	12	Q2	12	Q2	12	Q2	12	Q2
bit-9	13/Q3 B	13	Q3	13	Q3	13	Q3	13	Q3
bit-10	14/Q4 B	14	Q4	14	Q4	14	Q4	14	Q4
bit-11	15/Q5 B	15	Q5	I 5	Q5	15	Q5	15	Q5
bit-12	FFE	0	0	0	0	0	0	0	0
bit-13	AGC_B /ID_B	0	6	bit	AGC	and	6	bit	ID ·
bit-14	Control	SD_TX	RR_TX	LTU lock	XP1	XP2	FPD	FFE	FFE
bit-15	STB/ODM	1	0/1	0	0	0	0	0	0

Figure 3